

#5
PATENT

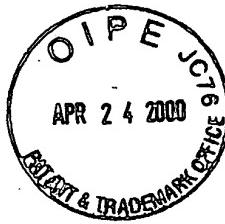
IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of:

Fujiyama et al.

Serial No.: 09/539,206

Filed: March 30, 2000



Group No.:

Examiner:

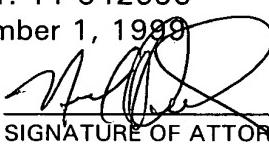
For: WRITE COMPENSATION CIRCUIT AND SIGNAL INTERPOLATION CIRCUIT
OF RECORDING DEVICE

Assistant Commissioner for Patents
Washington, D.C. 20231

TRANSMITTAL OF CERTIFIED COPY

Attached please find the certified copy of the foreign application from which priority is claimed for this case:

Country: Japan
Application Number: 11-342656
Filing Date: December 1, 1999


SIGNATURE OF ATTORNEY

Reg. No. 26,725

Neil A. DuChez

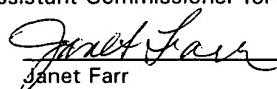
Tel. No. (216) 621-1113

RENNER, OTTO, BOISSELLE & SKLAR, P.L.L.
1621 Euclid Avenue
Nineteenth Floor
Cleveland, Ohio 44115

CERTIFICATE OF MAILING UNDER 37 C.F.R. § 1.8

I hereby certify that this correspondence (along with any paper referenced as being attached or enclosed) is being deposited on the below date with the United States Postal Service with sufficient postage as first class mail in an envelope addressed to the Assistant Commissioner for Patents, Washington, D.C. 20231.

Date: April 19, 2000


Janet Farr



日本特許庁

PATENT OFFICE
JAPANESE GOVERNMENT

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日
Date of Application:

1999年12月 1日

出願番号
Application Number:

平成11年特許願第342656号

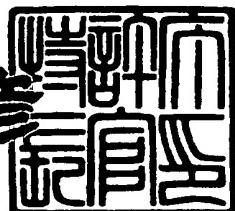
出願人
Applicant(s):

松下電器産業株式会社

2000年 2月25日

特許庁長官
Commissioner,
Patent Office

近藤 隆彦



出証番号 出証特2000-3011060

【書類名】 特許願

【整理番号】 2037610046

【提出日】 平成11年12月 1日

【あて先】 特許庁長官殿

【国際特許分類】 G11B 5/09

H03K 5/135

H03K 19/016

【発明者】

【住所又は居所】 大阪府門真市大字門真1006番地 松下電器産業株式会社内

【氏名】 藤山 博邦

【発明者】

【住所又は居所】 大阪府門真市大字門真1006番地 松下電器産業株式会社内

【氏名】 道正 志郎

【発明者】

【住所又は居所】 大阪府門真市大字門真1006番地 松下電器産業株式会社内

【氏名】 中平 博幸

【特許出願人】

【識別番号】 000005821

【氏名又は名称】 松下電器産業株式会社

【代理人】

【識別番号】 100078282

【弁理士】

【氏名又は名称】 山本 秀策

【手数料の表示】

【予納台帳番号】 001878

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9303919

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 信号補間回路

【特許請求の範囲】

【請求項1】 位相差の異なる一対の入力信号を分割して、複数の素子により、それぞれの信号の伝播時間を等しくして、各入力信号と同様の位相をそれぞれ有する一対の出力信号と、各出力信号の位相差の中間の位相を有する出力信号とをそれぞれ生成する信号補間回路であって、

前記伝播速度を制御する制御手段がさらに設けられていることを特徴とする信号補間回路。

【請求項2】 前記制御手段は、前記各素子に対する入出力信号の伝播速度を制御する請求項1に記載の信号補間回路。

【請求項3】 前記制御手段は、前記各素子内の信号の速度を制御する請求項1に記載の信号補間回路。

【請求項4】 前記制御手段は、前記一対の入力信号の位相差に基づいて、信号の伝播速度の調整が可能になっている請求項1に記載の信号補間回路。

【請求項5】 前記制御手段は、前記一対の入力信号の位相差の変化に応じて、信号の伝播速度の調整が可能になっている請求項1に記載の信号補間回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、位相の異なる一対の入力信号に対して、各入力信号と同様の位相の一対の出力信号と、各出力信号との中間の位相を有する出力信号とを出力するようになった信号補間回路に関し、特に、記憶装置に対してデータを書き込む際の書き込み補償回路に好適に使用することができる信号補償回路に関する。

【0002】

【従来の技術】

位相差のある一対の波形信号に基づいて、各波形信号の位相を均等に分割した位相を有する複数の波形信号を生成する信号補間回路が開発されている。このような信号補間回路としては、"A Portable Digital DLL Architecture for CMOS

"Interface Circuits", pp214-215, 1998 Symposium on VLSI Circuits Digest of Technical Papersに記載されており、その一例を、図1に示す。信号補間回路部62eは、例えば、2つの入力端子x1およびx2と、9つの出力端子y1～y9とを有している。信号補間回路部62eでは、図2(a)に示すように、各入力端子x1およびx2に、相互に位相の異なる信号VaおよびVbをそれぞれ入力すると、図2(b)に示すように、各出力端子y1～y9から、各入力信号VaおよびVbと同様の位相を有する一対の出力信号V_{k'}およびV_{s'}と、両出力信号V_{k'}およびV_{s'}間の位相を等しく分割した位相をそれぞれ有する7個の補間信号V_{1'}～V_{r'}とを、それぞれ出力するようになっている。

【0003】

図3は、信号補間回路部62eの具体的構成を示す回路図である。図3に示す信号補間回路部62eは、入力端子x1およびx2からそれぞれ入力される信号VaおよびVbがそれぞれ与えられる一対のインバータ41および42と、各インバータ41および42から出力される信号V_{a'}およびV_{b'}をそれぞれ補間処理して、各信号V_{a'}およびV_{b'}と同様の位相を有する一対の信号VcおよびVeと両信号の中間の位相を有する補間信号Vdとを出力する第1補間処理部10を有している。

【0004】

第1補間処理部10から出力される信号Vc～Veは、それぞれ3つのインバータ43、44、45に入力されて、各インバータ43～45の出力V_{c'}～V_{e'}がそれぞれ第2補間処理部20に与えられている。第2補間処理部20は、各インバータ43～45の出力信号V_{c'}～V_{e'}に対して、一対の信号ずつ、第1補間処理部10と同様の補間処理を実施することにより、5個の信号Vf、Vg、Vh、Vi、Vjを出力する。

【0005】

第2補間処理部20から出力される5個の出力信号Vf～Vjは、それぞれ5個のインバータ46、47、48、49、50に入力されて、各インバータ46～50の出力信号V_{f'}～V_{j'}が第3補間処理部30にそれぞれ入力されている。第3補間処理部30は、各インバータ46～50の出力V_{f'}～V_{j'}に対

して、一対の信号ずつ、第1補間処理部10と同様の補間処理を実施することにより、9個の補間信号V_k、V_l、V_m、V_n、V_o、V_p、V_q、V_r、V_sをそれぞれ出力する。第3補間処理部30から出力される9個の補間信号V_k～V_sは、それぞれ9個のインバータ51～59に入力されており、各インバータ51～59の出力が、各出力端子y₁～y₉から、それぞれ出力信号V_{k'}～V_{s'}として出力される。

【0006】

第1補間処理部10は、各インバータ41および42の出力V_{a'}およびV_{b'}がそれぞれ入力される一対の第1回路ブロック11と、両インバータ41および42の出力V_{a'}およびV_{b'}がそれぞれ入力される1個の共通第2回路ブロック12と、各インバータ41および42の出力V_{a'}およびV_{b'}がそれぞれ入力される一対の第2回路ブロック12とを有している。

【0007】

各第1回路ブロック11は、それぞれ同様の構成になっており、図4(a)に示すように、1個のインバータ11aによって構成されている。また、共通第2回路ブロック12を含む全ての第2回路ブロック12は、それぞれ同様の構成になっており、図4(b)に示すように、一対のインバータ12aによって構成されている。そして、共通第2回路ブロック12からは、一対のインバータ12aの出力が一括されて出力されるようになっている。

【0008】

図5に示すように、各インバータ41および42の出力V_{a'}およびV_{b'}は、各第1回路ブロック11にそれぞれ与えられており、各第1回路ブロック11によって、それぞれ反転された出力信号V_cおよびV_eとされる。また、各インバータ41および42の出力は、共通第2回路ブロック12の各インバータ12aにそれぞれ入力されており、両インバータ12aの一括された出力V_dが、共通第2回路ブロック12の出力になっている。そして、第1回路ブロック11の出力V_cおよびV_eと、共通第2回路ブロック12の出力V_dとが、各インバータ43および45と、インバータ44とによって、それぞれ反転された状態で第2補間処理部20に与えられている。

【0009】

第2補間処理部20では、インバータ43の出力信号Vc' とインバータ44の出力Vd' とが、それぞれ各第1回路ブロック11に与えられるとともに、1つの共通第2回路ブロック12に与えられており、各第1ブロック11から信号VfおよびVhがそれぞれ出力されるとともに、共通第2回路ブロック12から信号Vgが出力される。同様に、インバータ44の出力Vd' とインバータ45の出力Ve' とが、それぞれ各第1回路ブロック11に与えられるとともに、1つの共通第2回路ブロック12に与えられており、各第1ブロック11から信号VhおよびVjがそれぞれ出力されるとともに、共通第2回路ブロック12から信号Viが出力される。そして、各出力信号Vf～Vjが、各インバータ46～50に与えられて、各インバータ46～50から、信号Vf'～Vj' がそれぞれ出力される。

【0010】

第3補間処理部30でも、各インバータ46～50からの出力信号Vf'～Vj' が、各第1回路ブロック11にそれぞれ与えられるとともに、隣接する一対のインバータ（46および47、47および48、48および49、49および50）の出力信号が、1つの共通第2回路ブロック12にそれぞれ与えられており、5つの第1ブロック11から信号Vk、Vm、Vo、Vq、Vsがそれぞれ出力されるとともに、4つの共通第2回路ブロック12から、信号Vl、Vn、Vp、Vrがそれぞれ出力される。そして、各出力信号Vm～Vsが、各インバータ51～59に与えられて、各インバータ51～59から補間信号Vk'～Vs' がそれぞれ出力される。

【0011】

第1回路ブロック11を構成するインバータ11aの回路のサイズは、共通第2回路ブロック12を構成する一対のインバータ12aの回路のサイズの合計と等しくなるようにそれぞれ設定されている。従って、図5に示すように、各第1回路ブロック11からのそれぞれの出力VcおよびVeと、共通第2回路ブロック12からの出力Vdとがそれぞれ入力されるインバータ43および44と、インバータ45の負荷がそれぞれ等しくなっており、各インバータ41および42

から出力された信号V a' およびV b' が、各インバータ4 3～4 5から信号V c' ～V e' として出力されるまでの伝播時間がそれぞれ等しくなっている。

【0012】

従って、第1補間処理部10において、一対の第1回路ブロック11と1つの第2回路ブロック12によって1つの信号補間回路が形成されており、各インバータ4 1および4 2からそれぞれ出力される一対の入力信号V a' およびV b' が、各インバータ4 3～4 5から3つの信号V c' ～V e' として出力されるまでの伝播時間が、それぞれ等しくなっている。

【0013】

第2補間処理部20においても、一対の第1回路ブロック11と1つの第2回路ブロック12によって1つの信号補間回路がそれぞれ形成されており、各信号補間回路において、入力された信号が出力されるまでの伝播時間がそれぞれ等しくなるようにそれぞれ設定されて、各インバータ4 3～4 5から出力された3つの出力信号V c' ～V e' が、各インバータ4 6～5 0から5つの信号V f' ～V j' として出力されるまでの伝播時間が、それぞれ等しくなっている。

【0014】

第3補間処理部30においても、一対の第1回路ブロック11と1つの第2回路ブロック12によって1つの信号補間回路がそれぞれ形成されており、各インバータ4 6～5 0からの5つの出力信号V f' ～V j' が、9つの各インバータ5 0～5 9から、それぞれ信号V k' ～V s' として出力されるまでの伝播時間がそれぞれ等しくなっている。

【0015】

【発明が解決しようとする課題】

各信号補間回路におけるインバータ11aおよび12aは、入力信号が、設定された所定の閾値電圧V thよりも高い状態から低い状態になった場合、あるいは反対の状態になった場合に、出力信号のレベルが反転するようになっている。従って、図6(a)に示すように、共通第2回路ブロック12の出力V dがインバータ4 4に入力されると、その入力信号V dが閾値電圧V thよりも高い状態から低い状態になることによって、その出力信号のレベルが反転し、インバータ4 4

の出力信号Vd'は、理想的には、図6(b)に示すように、各インバータ43および44から出力される信号Vc'およびVe'の中間の位相を有する信号とされる。

【0016】

しかしながら、インバータの閾値電圧Vthには、適当な電圧範囲が設定されており、実際には、図6(c)に示すように、共通第2回路ブロック12の出力Vdには、適当な時間にわたって、電圧が変化しない状態が発生する。このために、インバータ43および44から出力される信号Vd'は、図6(d)に示すように、各インバータ43および44から出力される信号Vc'およびVe'の位相を均等に分割した中間の位相にはならず、従って、位相差のある一対の信号を線形に補間することができないおそれがある。

【0017】

本発明は、このような問題を解決するものであり、その目的は、位相差を有する一対の信号を、線形に補間する補間信号を高精度に生成することができる信号補間回路を提供することにある。

【0018】

【課題を解決するための手段】

本発明の信号補間回路は、位相差の異なる一対の入力信号を分割して、複数の素子により、それぞれの信号の伝播時間を等しくして、各入力信号と同様の位相をそれぞれ有する一対の出力信号と、各出力信号の位相差の中間の位相を有する出力信号とをそれぞれ生成する信号補間回路であって、前記伝播速度を制御する制御手段がさらに設けられていることを特徴とする。

【0019】

前記制御手段は、前記各素子に対する入出力信号の伝播速度を制御する。

【0020】

前記制御手段は、前記各素子内の信号の速度を制御する。

【0021】

前記制御手段は、前記一対の入力信号の位相差に基づいて、信号の伝播速度の調整が可能になっている。

【0022】

前記制御手段は、前記一対の入力信号の位相差の変化に応じて、信号の伝播速度の調整が可能になっている。

【0023】

【発明の実施の形態】

以下、図面を参照して、本発明の実施の形態について説明する。

【0024】

本発明の信号補間回路は、図3に示す信号補間回路部62eに設けられた各信号補間回路において、図7(a)に示すように、第1回路ブロック11が、インバータ11aと、抵抗11bとの直列回路によって構成されており、また、図7(b)に示すように、第2回路ブロック12が、一対のインバータ12aと、各インバータ12aにそれぞれ直列接続された一対の抵抗12bとによって構成されている。そして、各抵抗12b同士が一括されて、1つの出力端となっている。その他の構成は、図3に示す信号補間回路と同様になっている。

【0025】

図8は、本発明の信号補間回路における第1補間処理部10の要部の構成図である。各インバータ41および42から出力される相互に異なった位相の出力信号V_{a'}およびV_{b'}は、各第1回路ブロック11にそれぞれ与えられており、各第1回路ブロック11のインバータ11aおよび抵抗11bの直列回路によって、それぞれ信号V_cおよびV_eとして出力される。また、各インバータ41および42の出力は、共通第2回路ブロック12の各インバータ12aにそれぞれ入力されており、各インバータ12aと、各インバータ12aにそれぞれ直列接続された各抵抗12bとを通って、一括されて信号V_dとして出力される。そして、第1回路ブロック11の出力V_cおよびV_eと、共通第2回路ブロック12の出力V_dとが、各インバータ43および45と、インバータ44とに、それぞれ与えられて、出力信号V_{c'}、V_{e'}、V_{d'}とされる。

【0026】

この場合、共通第2回路ブロック12の各抵抗12bの抵抗値を、それぞれ、R1およびR3とし、第1回路ブロック11の抵抗11bの抵抗値をR2とする

と、次の(1)式の関係になっている。

【0027】

$$R_2 = (R_1 + R_3) / 2 \quad \dots (1)$$

また、第1回路ブロック11を構成するインバータ11aの回路のサイズは、共通第2回路ブロック12を構成する一対のインバータ12aの回路のサイズの合計と等しくなるようにそれぞれ設定されている。

【0028】

この場合、各第1回路ブロック11からのそれぞれの出力VcおよびVeと、共通第2回路ブロック12からの出力Vdとがそれぞれ入力されるインバータ43および44と、インバータ45との負荷がそれぞれ等しく、しかも、第1回路ブロック11および第2回路ブロック12にそれぞれ抵抗11aおよび12aがそれぞれ設けられているために、図9(a)に示すように、共通第2回路ブロック12から出力される信号Vdは、共通第2回路ブロック12の各抵抗12bおよび各インバータ12aの入力負荷容量とにより、波形変形が一次遅れの形となって変化し、図6(a)に示す信号Vdに近付けることができる。その結果、図9(b)に示すように、インバータ44から出力される信号Vd'は、各インバータ43および44から出力される信号Vc'およびVe'の中間の位相とされ、従って、位相差のある一対の信号VaおよびVbを、確実に線形に補間することができる。

【0029】

第1回路ブロック11および第2回路ブロック12に使用されるインバータ11aおよび12aとしては、図10(a)および(b)に示すように、バイアス電圧が印加されるインバータ11a'および12a'をそれぞれ使用するよりもよい。

【0030】

バイアス電圧が印加されるインバータ11a'（または12a'）は、例えば、図11Aに示すように、相互に直列接続された一対の第1MOSFET21および第2MOSFET22と、インバータ部25にそれぞれ接続された一対の第3MOSFET23および第4MOSFET24とを有しており、インバータ11a'（または12a'）

の入力および出力が、それぞれ、インバータ部25の入力および出力になっている。

【0031】

第1MOSFET21のゲートには、バイアス電圧VBが印加されるようになっており、第1MOSFET21のドレインが第2MOSFET22のドレインに接続されている。第2MOSFET22のドレインおよびゲート同士は、相互に接続された状態になっている。そして、第2MOSFET22のゲートと第3MOSFET23のゲートとが相互に接続されており、第3MOSFET23のソースがインバータ25に接続されている。インバータ25には、第4MOSFET24のドレインが接続されており、この第4MOSFET24のゲートが第1MOSFET21のゲートと同様に、バイアス電圧VBが印加される。

【0032】

第1MOSFET21と第4MOSFET24の寸法比、および、第2MOSFET22と第3MOSFET23寸法比は、それぞれ $1:n$ になっており、第1MOSFET21にバイアス電圧VBを印加することによって、第2MOSFET22から第1MOSFET21に電流Iが流れると、第3MOSFET23から第4MOSFET24には、そのn倍の制御電流nIが流れることになる。そして、この電流nIによって、インバータ部25の動作速度が調整される。

【0033】

第1MOSFET21と第4MOSFET24の寸法比、および、第2MOSFET12と第3MOSFET23寸法比のnの値を変更することによって、バイアス電圧VBの値が同じであっても、第3MOSFET23および第4MOSFET24に流れる制御電流nIは、変更される。これにより、インバータ部25の動作速度が調整される。

【0034】

また、印加されるバイアス電圧VBを変更することによって、インバータ部25に流れる制御電流は変更され、バイアス電圧VBが大きくなるとインバータ部25に流れる制御電流が増加し、バイアス電圧VBが小さくなるとインバータ部25に流れる制御電流が減少する。

【0035】

図11Bは、バイアス電圧が印加されるインバータ11a'および12a'の他の例を示している。このインバータ11a'（または12a'）では、バイアス電圧VBが印加される第1MOSFET21のドレインに第2MOSFET22のドレインが接続されており、第1MOSFET21とゲートを共通にした第4MOSFET24のドレインがインバータ部25に接続されている。インバータ部25には、第3MOSFET23のドレインが接続されており、そして、第3MOSFET23のゲートと第2MOSFET22のゲートとが相互に接続されている。第2MOSFET22のゲートおよびドレインは、相互に接続されている。

【0036】

このようなインバータ11a'（または12a'）も、第1MOSFET21と第4MOSFET24の寸法比、および、第2MOSFET22と第3MOSFET23寸法比は、それぞれ1:nになっており、第1MOSFET21にバイアス電圧VBを印加することによって、第2MOSFET22から第1MOSFET21に電流Iが流れると、第3MOSFET23から第4MOSFET24には、そのn倍の制御電流nIが流れることになる。そして、この電流nIによって、インバータ部25の動作速度が調整される。

【0037】

この場合、印加されるバイアス電圧VBを変更することによって、インバータ部25に流れる制御電流は変更され、バイアス電圧VBが大きくなるとインバータ部25に流れる制御電流が減少し、バイアス電圧VBが小さくなるとインバータ部25に流れる制御電流が増加する。

【0038】

図12は、本発明の信号補間回路の他の例を示す構成図である。第1回路ブロック11および第2回路ブロック12には、バイアス電圧VBが印加されることによって動作速度が調整される図11Aまたは図11Bに示すインバータ11a'および12a'がそれぞれ使用されている。

【0039】

そして、図13(a)に示すように、各インバータ41および42から各第1回路ブロック11にそれぞれ与えられる位相の異なる信号Va'およびVb'は、前述したように、各第1回路ブロック11によって位相を反転された信号Vc

およびV_eがそれぞれ出力され、第2回路ブロック12からは、信号V_dが出力される。

【0040】

この場合、図13(c)に示すように、第1回路ブロック11および第2回路ブロック12に入力される信号V_{a'}およびV_{b'}の位相差が小さい場合には、インバータ11a'および12a'におけるnの値をそれぞれ大きくすれば、インバータ部25に対する制御電流が増加し、図13(d)に示すように、各第1回路ブロック11からそれぞれ出力される信号V_{c'}およびV_{e'}は、図13(a)に示す場合よりも、それぞれ、時間に対する電圧変化(傾き)が大きくなる。しかも、各第1回路ブロック11および第2回路ブロック12におけるそれぞれの抵抗11bおよび12aの抵抗値は、前記(1)式の関係を保持した状態で、それぞれの抵抗値を小さくするために、各抵抗値と、各第1回路ブロック11の出力がそれぞれ与えられる各インバータ43および45の入力負荷容量と、第2回路ブロック12の出力が与えられるインバータ44の入力負荷容量とのそれぞれの積の値を小さくすることができる。従って、第2回路ブロック12から出力される信号V_dは、図13(a)に示す場合よりも、時間に対する電圧の変化が大きくなり、図13(d)に示すように、各インバータ43、44、45からそれぞれ出力される信号V_{c'}、V_{d'}、V_{e'}の位相差が小さくなる。

【0041】

このように、入力される信号の位相差に対応させて、補間信号を出力することができる。従って、図3に示すように、第1補間処理部10に入力される各信号の位相差と、第2補間処理部20に入力される各信号の位相差とは異なり、また、第2補間処理部10に入力される各信号の位相差と、第3補間処理部30に入力される各信号の位相差も異なる場合においても、各補間処理部10～30は、それぞれの入力信号の位相差に対応した適切に補間処理することができる。

【0042】

各第1回路ブロック11にそれぞれ設けられたインバータ11a、および第2回路ブロック12にそれぞれ設けられたインバータ12aは、それぞれのバイアス電圧を、任意の位相差を有する入力信号に基づいて変更するようにしてもよい

。図14は、この場合に使用される補償回路の一例を示すブロック図である。この補償回路60は、データ信号71が入力されるフリップフロップ（以下、FFとする）61と、クロック信号72およびセレクト信号73が入力されるプレシフトクロック生成部62とを有している。プレシフトクロック62は、クロック信号72およびセレクト信号73に基づいて、書き込みクロック75を出力し、出力される書き込みクロック75が、FF61に入力されている。、FF61は、書き込みクロック信号75に同期して、データ信号71に基づく書き込みデータ74を出力する。

【0043】

図15は、プレシフトクロック生成部62の内部の構成を示すブロック図である。プレシフトクロック生成部62は、プレシフトクロック決定部62aおよび適応電源電圧生成部62bとを有しており、クロック信号72が、プレシフトクロック決定部62aおよび適応電源生成部62bにそれぞれ与えられている。適応電源電圧生成部62bは、入力されるクロック信号72に基づいて、駆動電圧VDDをプレシフトクロック決定部62aに出力する。プレシフトクロック決定部62aは、駆動電圧VDDによって駆動される。

【0044】

プレシフトクロック決定部62aには、セレクト信号73が、直接入力されており、駆動電圧VDDによって駆動されたプレシフトクロック決定部62aは、セレクト信号73およびクロック信号72に基づいて書き込みクロック75を出力する。

【0045】

図16は、プレシフトクロック決定部62aの内部の構成を示すブロック図である。プレシフトクロック決定部62aには、クロック信号72がそれぞれ与えられる遅延回路部62dおよび信号補間部62cが設けられている。遅延回路部62dには、適応電源電圧生成部62bから出力される駆動電圧VDDが与えられて駆動されるようになっており、また、信号補間部62cも、駆動電圧VDDによって駆動されるようになっている。遅延回路部62dは、入力されるクロック信号72の遅延信号を信号補間部62cに出力する。

【0046】

信号補間部62cは、入力されるクロック信号72と、遅延回路部62dから出力される遅延クロック信号とに基づいて、セレクタ62fに、補間信号を出力する。セレクタ62fには、セレクト信号73が入力されており、セレクタ62fは、信号補間部62cから出力される補間信号をセレクト信号73に基づいて選択して、書き込みクロック75として出力する。

【0047】

図17は、プレシフトクロック決定部62aに設けられた遅延回路部62cの内部構成を示す概略回路図である。駆動電圧VDDによって駆動される遅延回路62cには、同様の回路構成のn個のバッファ63が直列接続されており、クロック信号が直列接続された一方の端部のバッファ63に入力されている。そして、各バッファ63の出力が、遅延クロック1、遅延クロック2、遅延クロック(n-1)、遅延クロックnとして、順次、信号補間部62cに出力される。

【0048】

遅延回路部62dに与えられる駆動電圧VDDは、各バッファ63からそれぞれ出力される遅延クロックの総遅延量を、常にクロック周期と同じに保つ電圧値に設定されている。これにより、各バッファ63から出力される遅延クロックの遅延量は、それぞれクロック周期の $1/n$ となる。各バッファ63の駆動電圧VDDは、適応電源電圧生成部62bによって、その適応電源電圧生成部に入力されるクロック信号72に基づいて決定される。

【0049】

なお、図16では、遅延回路部62dからそれぞれ出力される遅延クロック1～nの信号線を一括して示している。

【0050】

図18は、信号補間部62cの内部の構成を示すブロック図である。信号補間部62cには、それが図3に示す信号補間回路部と同様の構成のn個の信号補間回路部62eが設けられている。各信号補間回路部62eにおける第1回路ブロック11および第2回路ブロック12には、図11Aに示すインバータ11a'および12a'が使用されて、それぞれ図10(a)および(b)に示すよ

うに、インバータ $11a'$ および $12a'$ に抵抗 $11b$ および $12b$ がそれぞれ接続されている。

【0051】

各信号補間回路部 $62e$ には、適応電源電圧生成部 $62b$ によって生成される駆動電圧VDDが、第1回路ブロック 11 のインバータ $11a'$ および第2回路ブロック 12 のインバータ $12a'$ それぞれの制御用のバイアス電圧として与えられている。各信号補間回路部 $62e$ は、遅延回路部 $62d$ から出力される順次出力される一対の遅延クロックが、それぞれの入力信号とされており、遅延クロック 1 と遅延クロック 2 とが1つの信号補間回路部 $62e$ に入力され、遅延クロック 2 および遅延クロック 3 が、1つの信号補間回路部 $62e$ に入力され、以下同様にして、遅延クロック $(n-1)$ および遅延クロック n が、信号補間回路部 $62e$ に入力されている。

【0052】

従って、各信号補間回路部 $62e$ は、前述したように、位相差を有する一対の入力信号を、各入力信号と同様の位相を有する一対の出力信号と、それらの出力信号の位相を補間する7つの出力信号とをそれぞれ出力する。その結果、各信号補間部 $62c$ に入力されるクロック信号 72 を遅延回路部 $62d$ にて遅延クロックとして出力される際に、各遅延クロックを、さらに、遅延分解能を高めた状態で補間した補間信号として各信号補間回路部 $62e$ から出力されることになる。

【0053】

なお、図16では、信号補間回路部 $62c$ からそれぞれ出力される補間信号の信号線を一括して示している。

【0054】

各信号補間回路部 $62e$ では、駆動電圧VDDが、それぞれのインバータ $11a'$ および $12a'$ の各バイアス電圧VBとして使用されており、図15における適応電源電圧生成部 $62b$ において、クロック信号 72 の周期が早い場合には、駆動電圧VDDが高く設定され、反対に、クロック信号 72 の周期が遅い場合には、駆動電圧VDDが低く設定することにより、図16に示す遅延回路部 $62d$ における総遅延量が、クロック信号 72 の周期と同じになるようにされる。

【0055】

従って、クロック信号72の周期が早い場合には、図18に示す信号補間回路部62eに入力される一対の入力信号（遅延クロック）の位相差は小さく、反対にクロック信号72の周期が遅い場合には、信号補間回路部62eに入力される一対の入力信号（遅延クロック）の位相差が大きくなる。このために、信号補間回路部62eに入力される一対の入力信号の位相差が大きい場合には、駆動電圧VDDは低くされ、反対に、信号補間回路部62eに入力される一対の入力信号の位相差が小さい場合には、駆動電圧VDDは高くされる。その結果、信号補間回路部62eに入力される一対の入力信号の位相差が小さい場合には、信号補間回路部62eにおける各インバータ11a'および12a'の制御電流量が、一対の入力信号の位相差が大きな場合に比べて相対的に大きくなり、信号補間回路部62eでは、クロック信号72の周期に応じた信号補間動作が可能になる。

【0056】

【発明の効果】

本発明の信号補間回路は、このように、信号の伝播速度を制御する制御手段が設けられているために、この制御手段により、位相差を有する一対の信号を線形に補間する補間信号が高精度に生成される。また、入力信号の位相差に基づいて、信号の伝播速度が制御するために、入力信号の任意の位相差に対応した制御が可能になり、記憶装置に対するデータを書き込む際の書き込み補償回路に好適に使用することができる

【図面の簡単な説明】

【図1】

信号補間回路部の一例を示す概略構成図である。

【図2】

(a) は、その信号補間回路部の入力信号を示すグラフ、(b) は、その信号補間回路部の出力信号を示すグラフである。

【図3】

図1の信号補間回路部の具体的構成を示す回路図である。

【図4】

(a) は、図3に示す信号補間回路部の第1回路ブロックの具体的構成を示す回路部、(b) は、同じく第2回路ブロックの具体的構成を示す回路図である。

【図5】

図3の信号補間回路部における信号補間回路の具体的構成を示す回路図である

【図6】

(a) は、図5に示す信号補間回路における第1回路ブロックおよび第2回路ブロックの理想的な出力信号を示すグラフ、(b) は、(a) における第1回路ブロックおよび第2回路ブロックをそれぞれ反転して得られる出力信号を示すグラフ、(c) は、図5に示す信号補間回路における第1回路ブロックおよび第2回路ブロックの実際の出力信号を示すグラフ、(d) は、(c) における第1回路ブロックおよび第2回路ブロックをそれぞれ反転して得られる出力信号を示すグラフである。

【図7】

(a) は、本発明の信号補間回路に使用される第1回路ブロックの具体的構成の一例を示す回路図、(b) は、同じく第2回路ブロックの具体的構成の一例を示す回路図である。

【図8】

図7に示す第1回路ブロックおよび第2回路ブロックを使用した場合の信号補間回路の具体的構成を示す回路図である。

【図9】

(a) は、図8に示す信号補間回路における第1回路ブロックおよび第2回路ブロックの出力信号を示すグラフ、(b) は、(a) における第1回路ブロックおよび第2回路ブロックをそれぞれ反転して得られる出力信号を示すグラフである。

【図10】

(a) は、本発明の信号補間回路に使用される第1回路ブロックの具体的構成の他の例を示す回路図、(b) は、同じく第2回路ブロックの具体的構成の他の例を示す回路図である。

【図11A】

図10の第1および第2の各回路ブロックに使用されるインバータの構成の一例を示す回路図である。

【図11B】

図10の第1および第2の各回路ブロックに使用されるインバータの構成の他の例を示す回路図である。

【図12】

図10に示す第1回路ブロックおよび第2回路ブロックを使用した場合の信号補間回路の具体的構成を示す回路図である。

【図13】

(a)は、図8に示す信号補間回路における第1回路ブロックおよび第2回路ブロックの出力信号の一例を示すグラフ、(b)は、(a)における第1回路ブロックおよび第2回路ブロックをそれぞれ反転して得られる出力信号を示すグラフ、(c)は、図8に示す信号補間回路における第1回路ブロックおよび第2回路ブロックの出力信号の他の例を示すグラフ、(d)は、(c)における第1回路ブロックおよび第2回路ブロックをそれぞれ反転して得られる出力信号を示すグラフである。

【図14】

本発明の信号補間回路が使用される書き込み補償回路部の全体構成を示す概略図である。

【図15】

図14の書き込み補償回路部に使用されるプレシフトクロック生成部の構成を示す概略図である。

【図16】

図15のプレシフトクロック生成部に使用されるプレシフトクロック決定部の構成を示す概略図である。

【図17】

図16のプレシフトクロック決定部に使用される遅延回路部の構成を示す概略図である。

【図18】

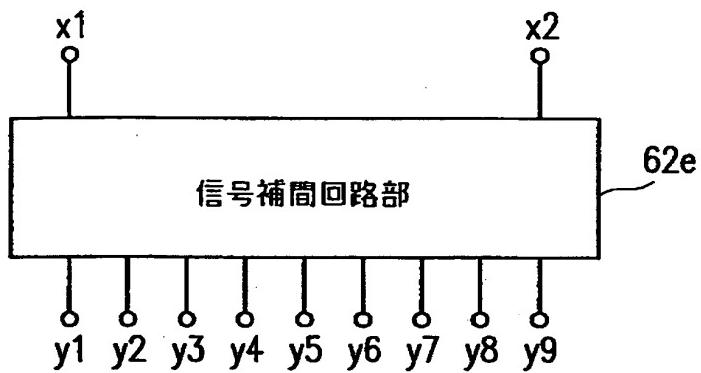
図17のプレシフトクロック決定部に使用される信号補間部の構成を示す概略図である。

【符号の説明】

- 10 第1補間処理部
- 11 第1回路ブロック
- 11a、11a' インバータ
- 11b 抵抗
- 12 第2回路ブロック
- 12a、12a' インバータ
- 12b 抵抗
- 20 第2補間処理部
- 21 第1MOSFET
- 22 第2MOSFET
- 23 第3MOSFET
- 24 第4MOSFET
- 25 インバータ部
- 30 第3補間処理部
- 41~59 インバータ
- 60 書き込み補償回路部
- 61 フリップフロップ
- 62 プレシフトクロック生成部
- 62a プレシフトクロック決定部
- 62b 適応電源電圧生成部
- 62c 信号補間部
- 62d 遅延回路部
- 62e 信号補間回路

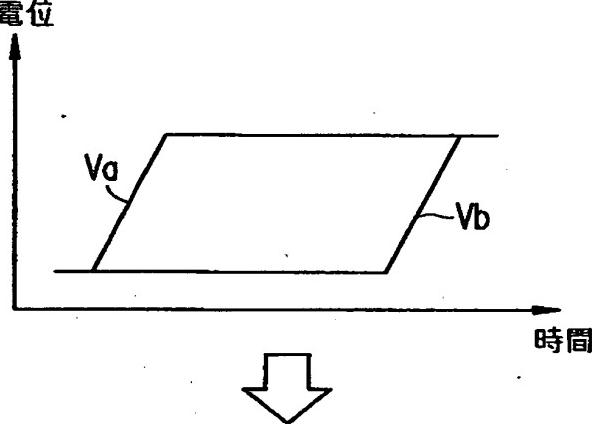
【書類名】 図面

【図1】

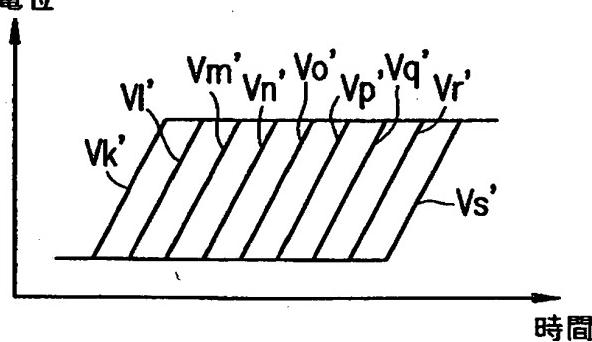


【図2】

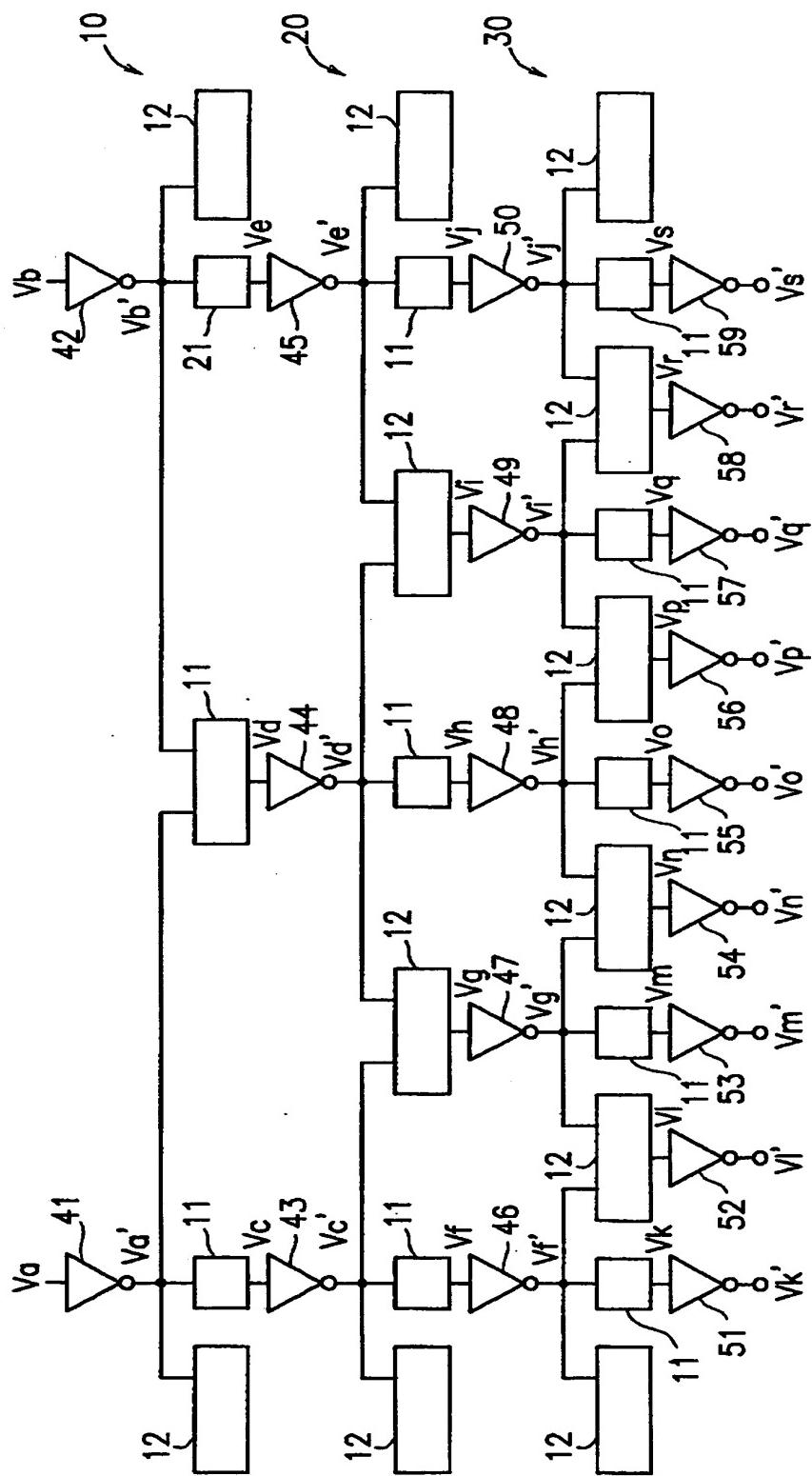
(a) 電位



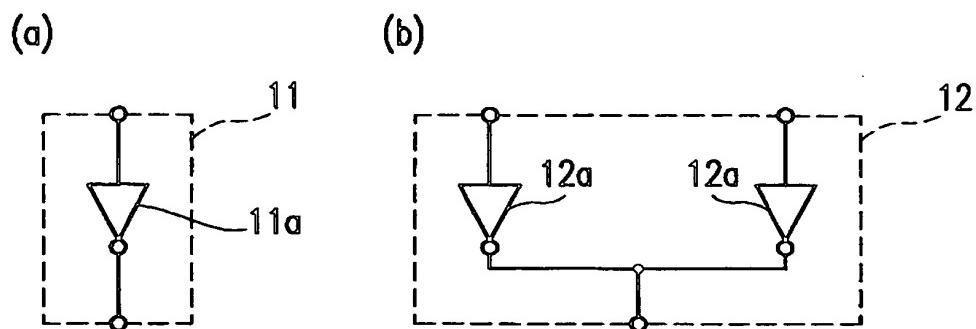
(b) 電位



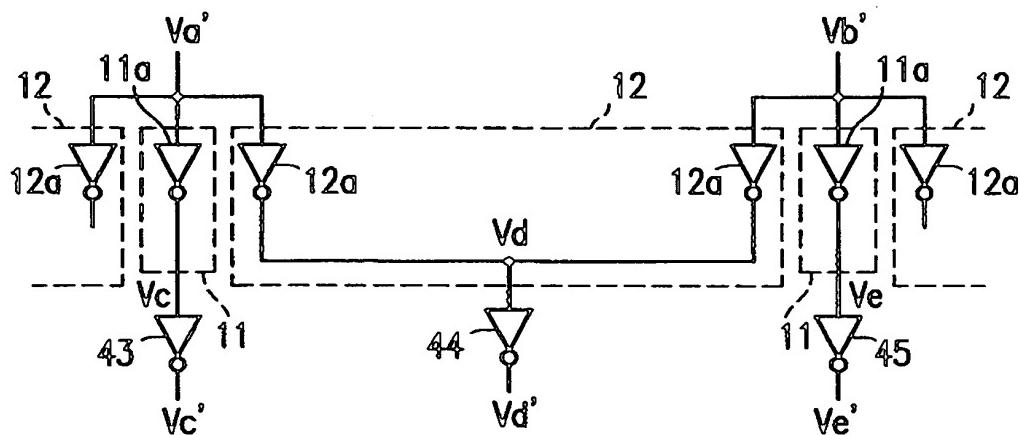
【図3】



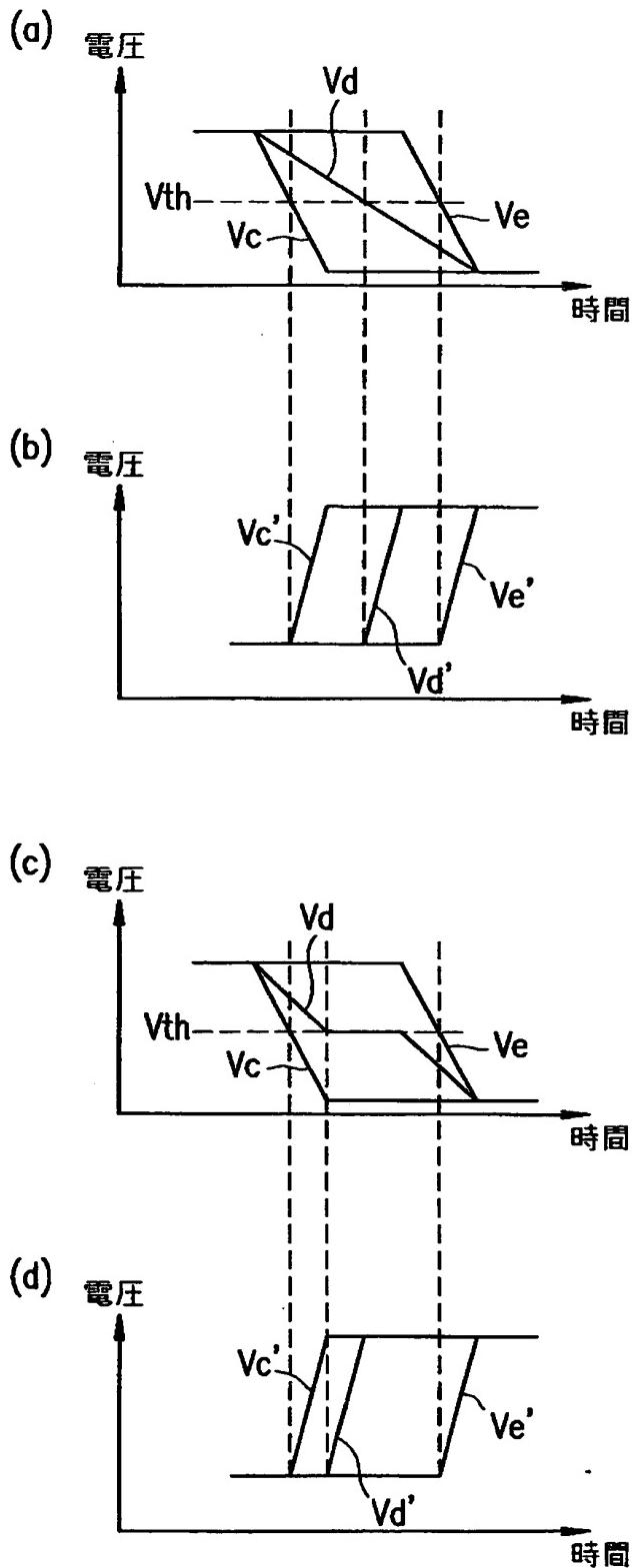
【図4】



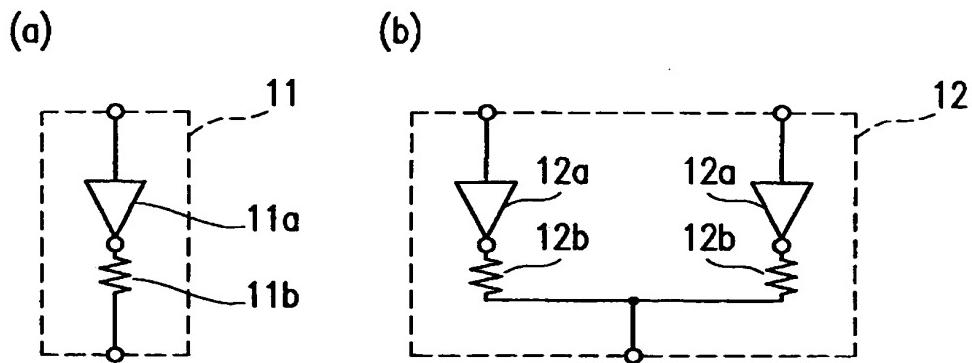
【図5】



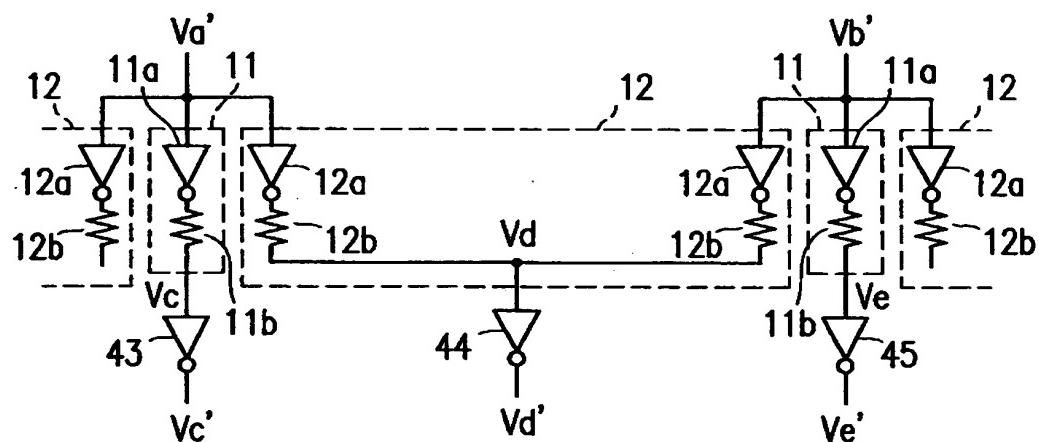
【図6】



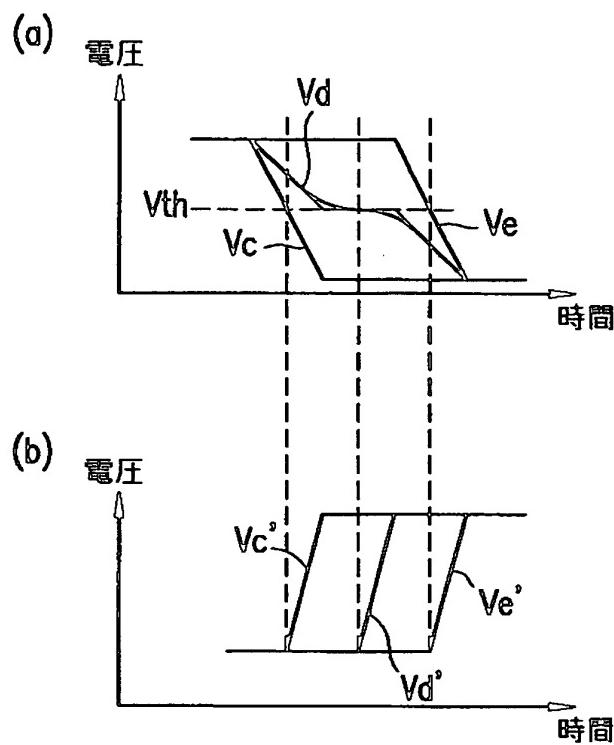
【図7】



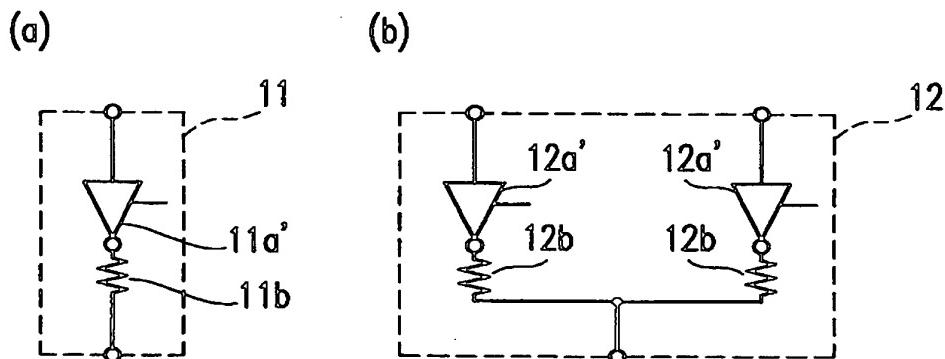
【図8】



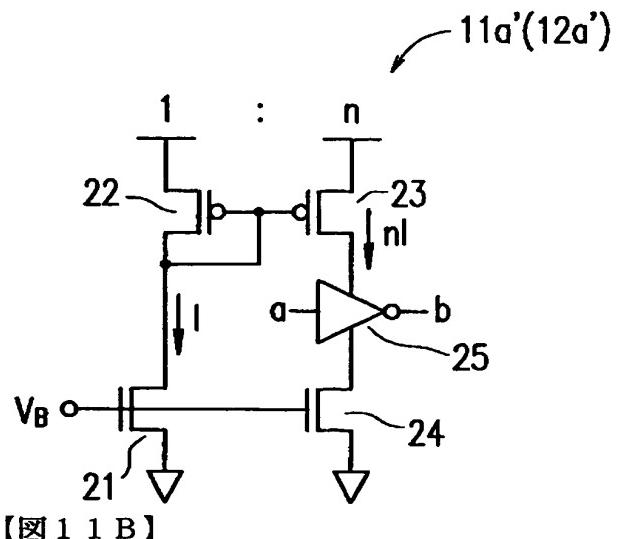
【図9】



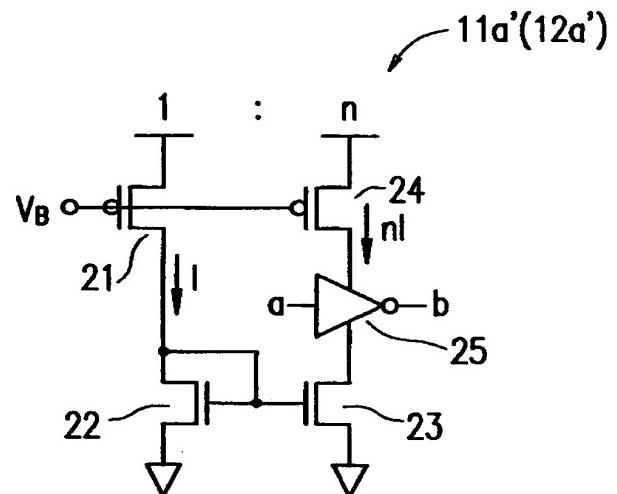
【図10】



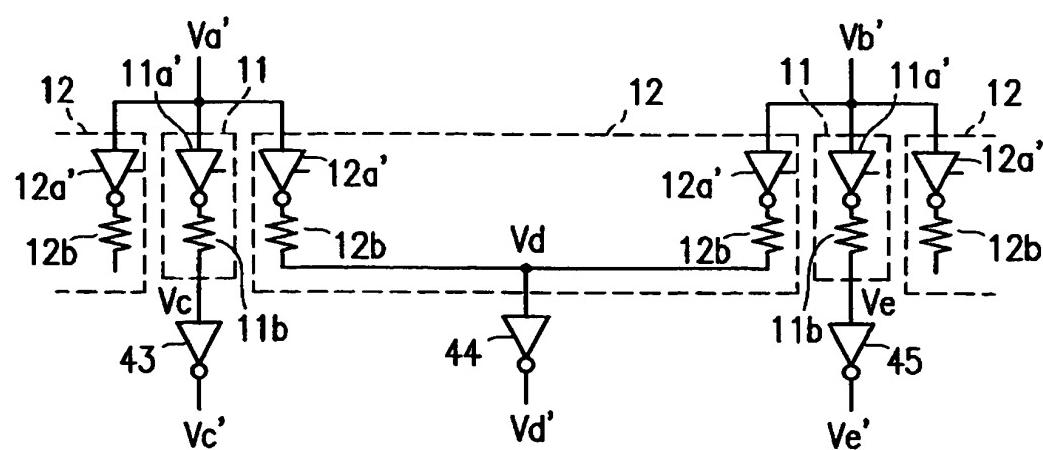
【図 1 1 A】



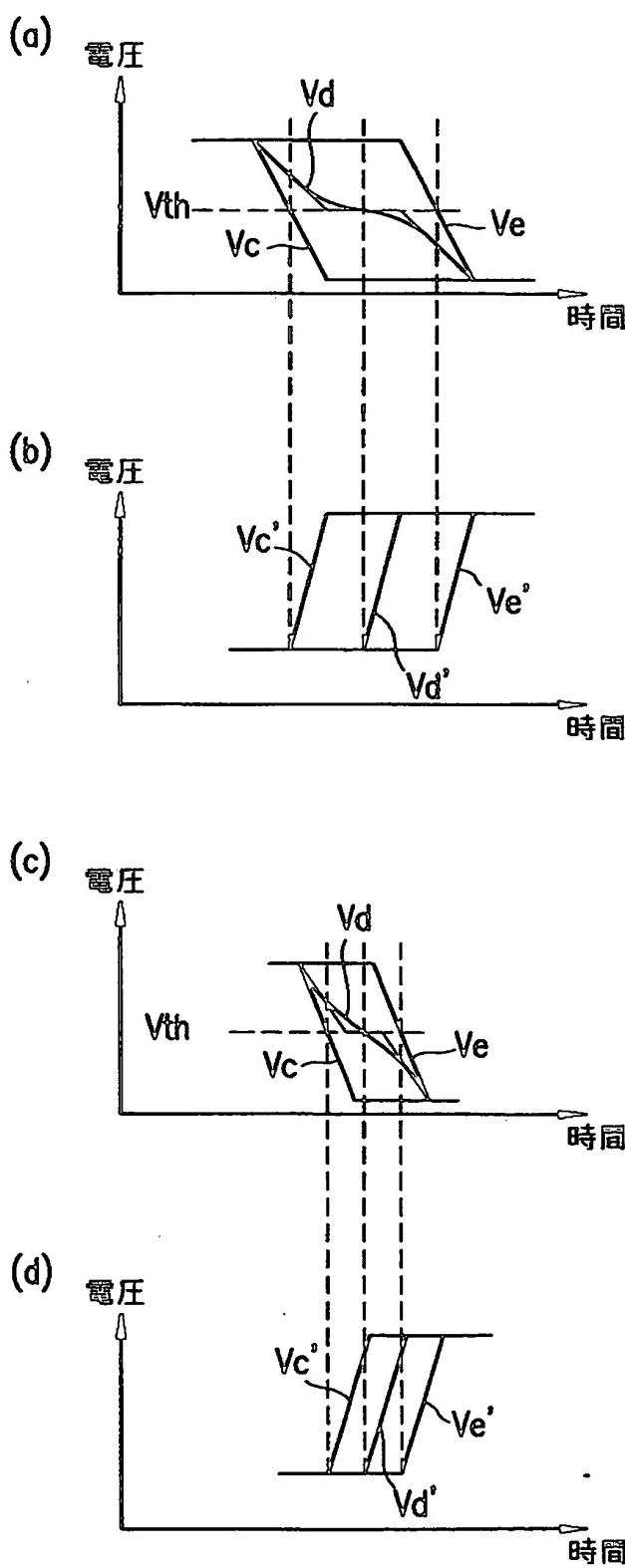
【図 1 1 B】



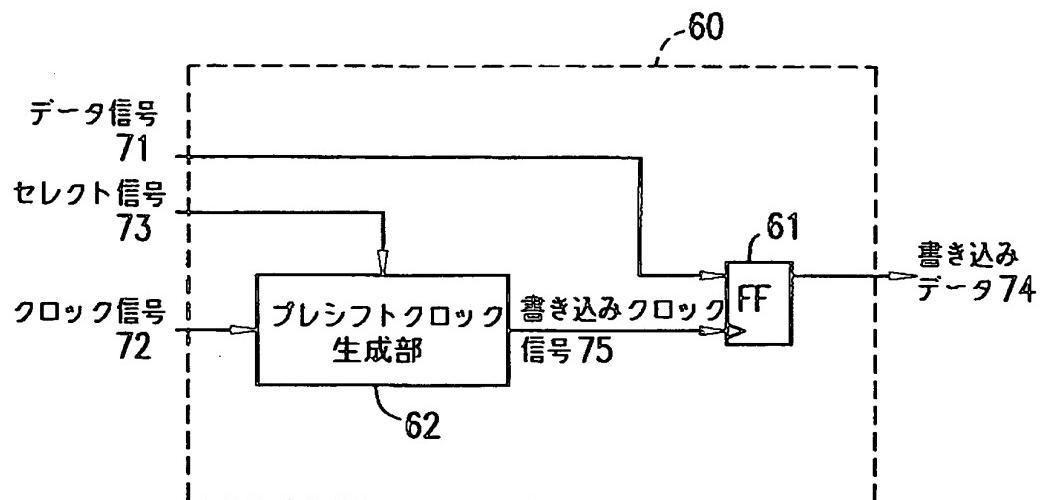
【図 1 2】



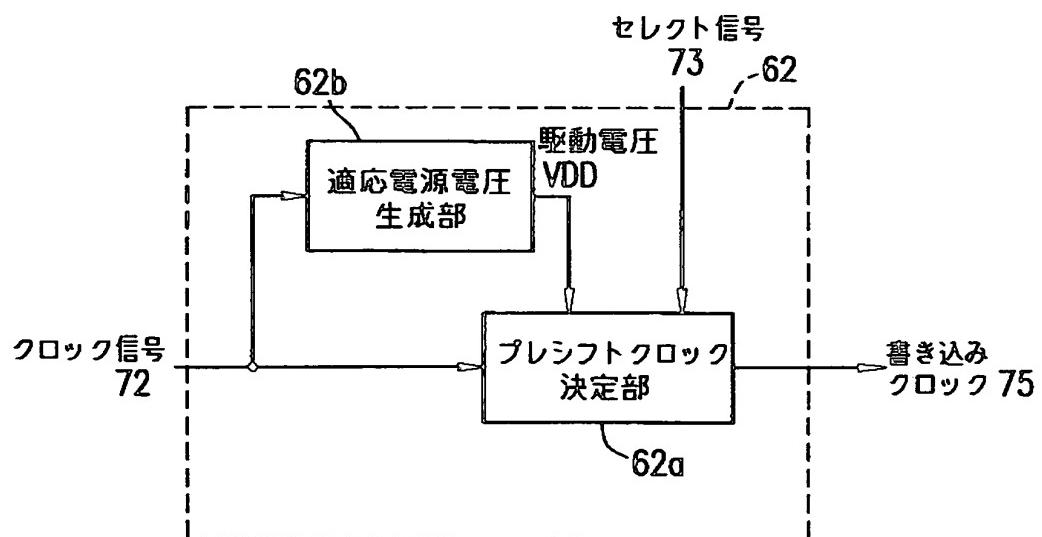
【図13】



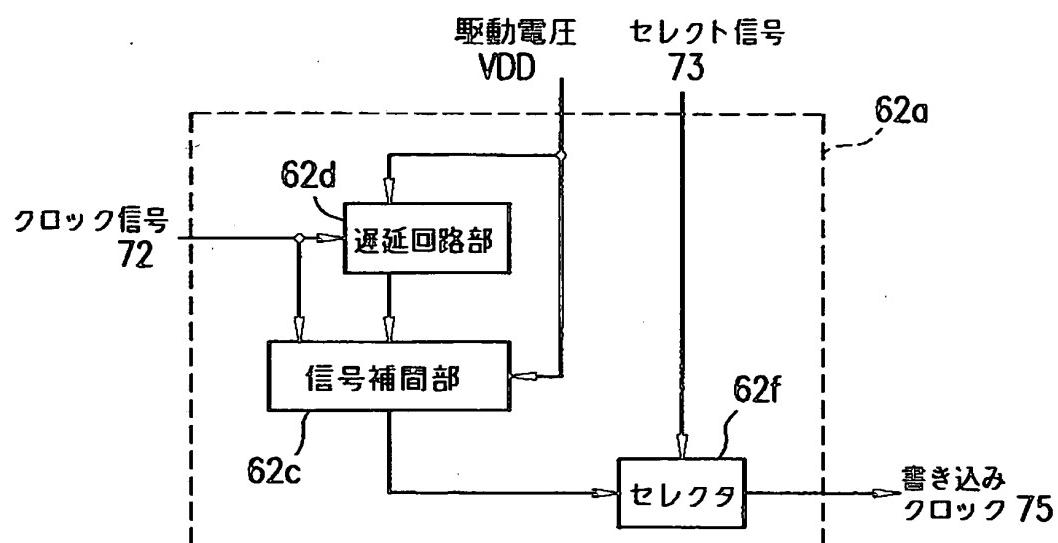
【図14】



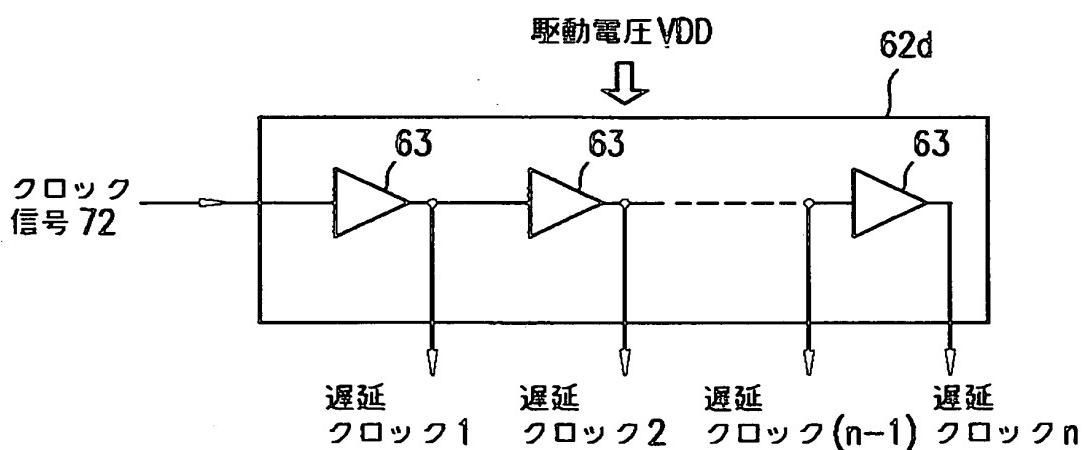
【図15】



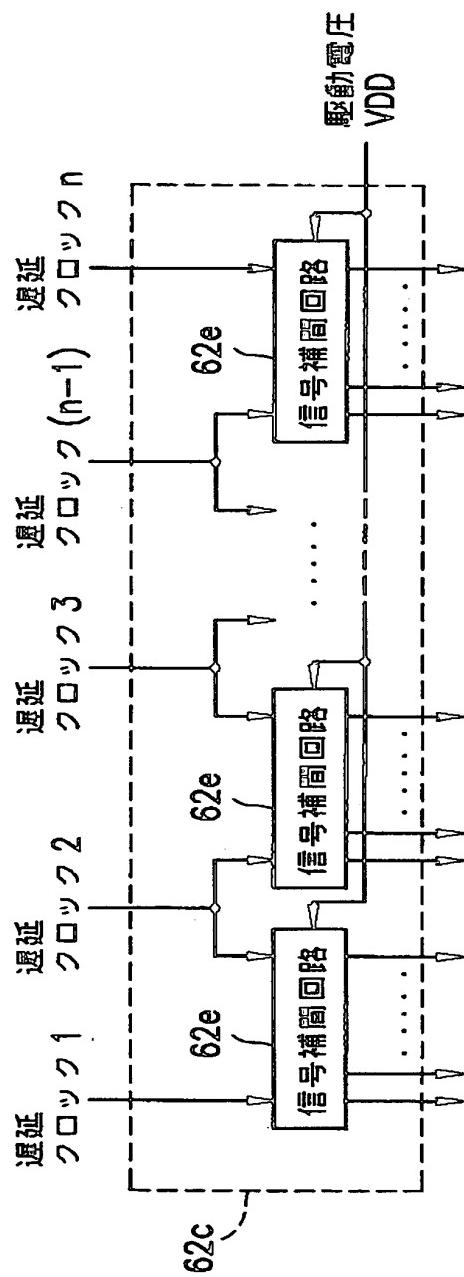
【図16】



【図17】



【図18】



【書類名】 要約書

【要約】

【課題】 位相差を有する一対の信号を、線形に補間する補間信号を高精度に生成することができる。

【解決手段】 位相差の異なる一対の入力信号が、それぞれ、第1回路ブロック1のインバータ11aおよび抵抗11bを介して、各インバータ43および45に与えられるとともに、各入力信号が、共通第2回路ブロック12の各インバータ12aに入力されている。各インバータ12aの出力は一括して、インバータ44に与えられている。各第1回路ブロック11からインバータ43および45に伝播される信号の速度と、第2回路ブロック12からインバータ44に伝播される信号の速度は、各抵抗11bおよび12bによって制御される。

【選択図】 図8

出願人履歴情報

識別番号 [000005821]

1. 変更年月日 1990年 8月28日

[変更理由] 新規登録

住 所 大阪府門真市大字門真1006番地

氏 名 松下電器産業株式会社

(Translation)

PATENT OFFICE
JAPANESE GOVERNMENT

This is to certify that the annexed is a true copy of the following application as filed with this Office.

Date of Application : December 1, 1999

Application Number : Heisei 11
Patent Appln. No. 342656

Applicant(s) : MATSUSHITA ELECTRIC INDUSTRIAL
CO., LTD.

Wafer
of the
Patent
Office

February 25, 2000

Takahiko KONDO

Commissioner,
Patent Office

Seal of
Commissioner
of
the Patent
Office

Appln. Cert. No.

Appln. Cert. Pat. 2000-3011060